

CLIPPEDIMAGE= JP406302945A

PAT-NO: JP406302945A

DOCUMENT-IDENTIFIER: JP 06302945 A

TITLE: ELEMENT MOUNTING METHOD AND EQUIPMENT

PUBN-DATE: October 28, 1994

INVENTOR-INFORMATION:

NAME

MIYAMORI, SATOSHI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP05084864

APPL-DATE: April 12, 1993

INT-CL (IPC): H05K003/34;B23K020/00 ;H01L021/52

US-CL-CURRENT: 29/739

ABSTRACT:

PURPOSE: To realize a mounting method for bonding elements while uniformly applying pressure without single abutting, by arranging an indenter of high rigidity on each element, and bonding elements while pressurizing the indenters en bloc by a diaphragm.

CONSTITUTION: Indenters 3a, 3b, 3c are bonded to a diaphragm 2 so as to correspond to the positions of semiconductor packages 4a, 4b, 4c which are mounted on a board 5. The thickness of each indenter is so designed that the distance between the board 5 and the diaphragm 2 becomes constant. By generating hydrostatic pressure in the inside of a cylinder

block 1 and the  
diaphragm 2, pressurizing force is generated on each  
indenter which force is  
proportional to the bonding area to the diaphragm 2.  
Thereby bonding load is  
applied to each semiconductor package via each indenter.  
Hence solder spread  
on the bonding parts of the semiconductor packages 4a, 4b,  
4c and the board 5  
is fused by heat supplied from a hot-air generating  
equipment 6, and a  
plurality of semiconductor packages can be mounted en block  
on a board.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-302945

(43)公開日 平成6年(1994)10月28日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/34	T	7128-4E		
B 2 3 K 20/00	3 4 0	9264-4E		
H 0 1 L 21/52	F	7376-4M		

審査請求 未請求 請求項の数6 O L (全 4 頁)

(21)出願番号 特願平5-84864

(22)出願日 平成5年(1993)4月12日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 宮森 聡

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

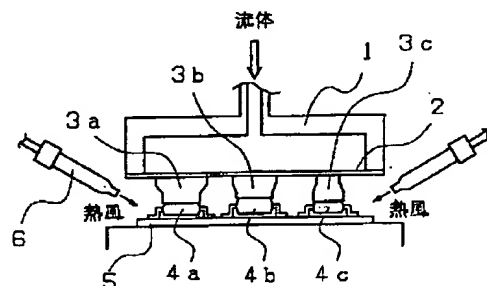
(54)【発明の名称】 素子実装方法および装置

(57)【要約】

【目的】 本発明は、基板に複数個の素子を所定の荷重を加えながら接合する実装方法において、基板に実装する素子の数が多くても生産性を低下させず、かつ接合信頼性の高い実装方法を提供することを目的とする。

【構成】 本発明は、基板に実装する各素子上に剛性の高い圧子を配置し、前記圧子をダイヤフラムにて一括で加圧しながら接合することを特徴とする。

【効果】 本発明により、基板に複数個の素子を一括して、かつ素子の部品毎の高さバラツキや傾きを吸収して各素子に所定の荷重を均一に加えながら実装できることにより、生産性が高くかつ接合信頼性に優れた実装が可能となる。



## 【特許請求の範囲】

【請求項1】基板に複数個の素子を所定の荷重を加えながら接合する実装方法において、各素子上に剛性の高い加圧用部品（以下圧子と称する）を配置し、前記圧子をダイアフラムにて一括で加圧しながら接合することを特徴とする素子実装方法。

【請求項2】前記基板と素子との接合エネルギーとして、熱風を用いることを特徴とする請求項1記載の素子実装方法。

【請求項3】前記基板と素子との接合エネルギーとして、光エネルギーを用いることを特徴とする請求項1記載の素子実装方法。

【請求項4】基板に複数個の素子を所定の荷重を加えながら接合する実装装置において、各素子の位置に対応して配置された剛性の高い圧子とこれを一括で加圧するダイアフラムとで構成される加圧手段と、前記基板と素子とを接合するエネルギーを与える接合手段とを有することを特徴とする素子実装装置。

【請求項5】前記基板と素子との接合部に熱風を吹き付けることにより、前記基板と素子とを接合することを特徴とする請求項4記載の素子実装装置。

【請求項6】前記基板と素子との接合部に光エネルギーを照射することにより、前記基板と素子とを接合することを特徴とする請求項4記載の素子実装装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は基板へ素子を片当りする事なく均一に加圧しながら接合する実装方法および装置に関する。

## 【0002】

【従来の技術】従来の実装方法として、例えば特開昭63-111633号公報のように球面軸受による倣い機構を用いる方法や、特開平03-225937号公報のように弾性材料の変形を用いる方法が提案されている。

## 【0003】

【発明が解決しようとする課題】しかし、球面軸受を用いる方法は、素子のサイズが小さい場合は片当りによって生じるモーメント量が小さいために倣い機構がうまく作動しないという問題がある。また、弾性材料を用いる方法は、素子の高さに傾きがある場合は弾性変形量がばらつくために均一な荷重を加えることができなくなるという問題がある。

【0004】さらに、どちらの方法とも基板に素子を1個のみ加圧・接合する機構であるため、基板に素子を複数個実装する場合は生産性が低下するのを避けられない。

## 【0005】

【課題を解決するための手段】上記課題を解決するために、本発明における基板に複数個の素子を所定の荷重を加えながら接合する実装方法は、各素子上に剛性の高い

圧子を配置し、前記圧子をダイアフラムにて一括で加圧しながら接合することを特徴とする。

## 【0006】

【作用】加圧機構にダイアフラムを用いることにより、素子の部品毎の高さバラツキはダイアフラムの変形により吸収される。また、素子とダイアフラムの間に剛性の高い圧子を挿入することでダイアフラム内の静水圧が素子への垂直な加圧力に変換され、各素子に均一な荷重が加えられる。

## 【0007】

【実施例】本発明の実施例を図面をもとに説明する。

【0008】（実施例1）図1は本発明を基板と半導体パッケージの半田付け実装に適用した一実施例を表わす概略図である。シリンダブロック1にダイアフラム2が設けられており、基板5に実装される半導体パッケージ4a、4b、4cの位置に対応させて圧子3a、3b、3cがダイアフラム2に接合されている。基板5とダイアフラム2との距離が一定となるように、各半導体パッケージの高さに応じて各圧子の厚さが設計されている。また各圧子のダイアフラム2との接着面積は各素子に加える接合荷重に比例するように設計されている。

【0009】シリンダブロック1の内部に空気やオイル等の流体が充填されており、図示していない機構（エアコンプレッサ、エアハイドロコンバート等）によってシリンダブロック1とダイアフラム2の内部に静水圧を生じさせることにより、各圧子にダイアフラム2との接着面積に比例した加圧力が発生し、各圧子を通じて各半導体パッケージに接合荷重が加えられる。半導体パッケージのリードフォーミング誤差等に起因する部品毎の高さバラツキはダイアフラムの変形により吸収される。また半導体パッケージが図2に示すように傾いていても、ダイアフラムの変形により圧子が半導体パッケージの傾きに倣い、かつシリンダブロック1内部に発生した静水圧により半導体パッケージに垂直な荷重が加わるため、片当りすることなく均一に加圧することができる。

【0010】半導体パッケージ4a、4b、4cと基板5との接合部に塗布された半田は、熱風発生装置6から供給される熱により溶融される。以上の構成により、複数個の半導体パッケージを一括して基板に実装することができる。

【0011】（実施例2）図3は本発明の他の実施例を示す概略図である。圧子3a、3b、3cは圧子取り付け板7に固定され、ダイアフラム2と各半導体パッケージ4a、4b、4cの間に設置されている。圧子取り付け板7には、図4に示すように各圧子の周辺にスリット8a、8b、8c、8dが設けられており、半導体パッケージの部品毎の高さバラツキや傾きを吸収できるようになっている。スリットの形状は、本実施例の他にも吸収すべき高さバラツキや傾きの程度によって任意に設計できる。あるいは、圧子取り付け板7をダイアフラム2

3

と同じ材質にして、スリットを設けなくてもよい。

【0012】この構成によれば、ダイアフラム圧子とを接着する必要が無いため、ダイアフラム及び圧子の材質が自由に選定できる。また、機種切り替えの際には、圧子3を固定した取り付け板7を交換するだけでよく、実施例1に比べて機種切り替え性が向上する。

【0013】(実施例3)図5は本発明の他の実施例を示す概略図である。基板に実装する素子がベアチップICのように、部品の平行度は確保されており、部品毎の高さバラツキのみを吸収する場合に適用される。

【0014】ベアチップIC 9a、9b、9cの位置に対応させて圧子3a、3b、3cが圧子保持ブロック10に上下移動可能のように保持されている。ここで圧子保持ブロック10における各圧子の上下移動軸の平行度と、各圧子における上下移動軸を基準としたベアチップICとの接触面の直角度が確保されており、各ベアチップICに垂直に荷重が加わるようになっている。素子の部品毎の高さバラツキはダイアフラム2の変形により吸収される。なお、各ベアチップICの間隔が十分に広い場合には、各圧子と圧子保持ブロック10との摺動面にクロスローラーガイド等の直動軸受を利用してもよい。

【0015】(実施例4)図6は本発明の他の実施例を示す概略図である。透明基板にベアチップICを光硬化性接着剤で接合する場合に適用される。

【0016】透明基板11が透明受台12に設置され、ベアチップIC 9a、9b、9cは実施例1と同じ加圧機構によって加圧されている。透明受台12の下方には、図示されていないが光エネルギー照射装置が設けられており、光エネルギーが図の下方から透明受台12、透明基板11を透過して接合面に照射され、接着剤を硬化させる。光エネルギーが接合部以外の部分に漏れ

4

るのを防ぐために、透明受台12にマスク13を設けている。

【0017】

【発明の効果】本発明によれば、基板に複数個の素子を一括して実装することができる。また、素子の部品毎の高さバラツキや傾きを吸収して各素子に所定の荷重を均一に加えることができる。これらの効果により、生産性が高くかつ接合信頼性に優れた実装が可能となる。

【図面の簡単な説明】

10 【図1】 本発明の実施例1を示す概略図。

【図2】 本発明における効果を示す本発明の実施例1の部分図。

【図3】 本発明の実施例2を示す概略図。

【図4】 本発明の実施例2における圧子取り付け板のスリットを示す部分図。

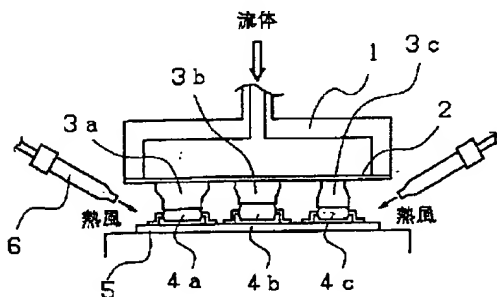
【図5】 本発明の実施例3を示す概略図。

【図6】 本発明の実施例4を示す概略図。

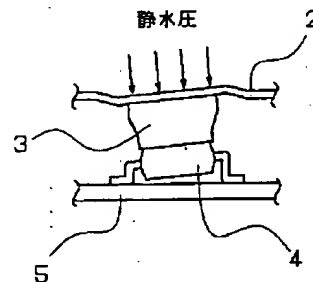
【符号の説明】

1	シリンダブロック
2	ダイアフラム
3、3a、3b、3c	圧子
4、4a、4b、4c	半導体パッケージ
5	基板
6	熱風発生装置
7	圧子取り付け板
8a、8b、8c、8d	スリット
9a、9b、9c	ベアチップIC
10	圧子保持ブロック
11	透明基板
12	透明受台
13	マスク

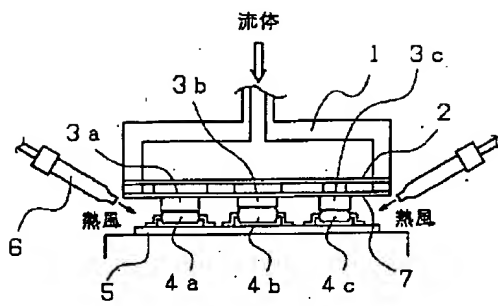
【図1】



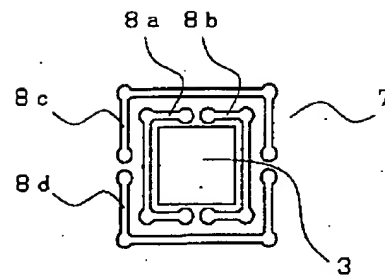
【図2】



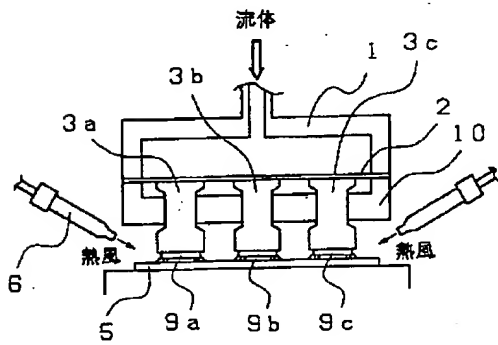
【図3】



【図4】



【図5】



【図6】

